

**Heinrich-Hertz-Institut  
für Nachrichtentechnik  
Berlin GmbH**



Technischer Bericht Nr. 215

Hardware-  
Faltungsrechner



Zusammenfassung:

Die digitale Filterung auf einem Prozeßrechner mit Standardhardware (PDP 11/34) ist sehr rechenzeitaufwendig. Durch die Verwendung eines zusätzlichen schnellen Rechenwerkes lassen sich die Rechenzeiten erheblich verkürzen. Für die Filterung im Zeitbereich wurde ein solches Rechenwerk als FIR-Filter (Ordnung - 2048) entwickelt. Bei einer Ordnung von 1024 verkürzt sich die Rechenzeit um den Faktor 7,2 gegenüber der "Schnellen Faltung" unter Verwendung der Standardhardware.

Der Bearbeiter

*E. Feddersen*

(E. Feddersen)

Der Abteilungsleiter

*G. Boerger*

(Prof. Dr.-Ing. G. Boerger)

Die Geschäftsführung

*W. Grunow*  
(Dr. jur W. Grunow) (ppa. Dr. R. Evers)

Berlin, den 28. Januar 1981

ISSN 0172-8873

## Inhaltsübersicht

## Seite

Einleitung	1
Realisierung	2
Funktion	4
Ablauf	6
Vorladen des X- und Y-Speichers	8
Start nach Vorladen des X- und Y-Speichers	10
I/O-Zyklus	11
Steuerung	13
Überlauferkennung	17
Erkennen von Fehler A	19
Erkennen von Fehler B	21
Aufbau	23
Bestückungsplan	24
Steckerbelegungsplan, Connector 1	25
Steckerbelegungsplan, Connector 2	26
Benennung der Steuersignale	27
Literaturverzeichnis	32

## Einleitung

Die Aufgabe, sog. Finite Impulse Response (FIR)-Digitalfilter mit der prozeßrechnerinternen Arithmetik der PDP 11/34 zu realisieren, nimmt bei hoher Anzahl von Filterwerten eine extrem lange Rechenzeit in Anspruch.

Zum Beispiel: Für die Filterung des Inhalts eines Plattenspeichers RK 07 mit einer Speicherkapazität von 28 MByte (3 Min. 38 Sec. Audio-Stereo-Signale mit 32 KHz abgetastet) und einer Filterlänge von 1000 Werten, wird folgende Rechenzeit benötigt:

Direkte Faltung	≈	115 Stunden,
schnelle Faltung	≈	6 Stunden.

Das Ergebnis dieser Überlegungen führte zur Aufgabe FIR-Filter mit einem Hardware-Faltungsalgorithmus zu realisieren. Die Wortlänge sollte 16 Bit betragen mit einer 2er Komplement-Festpunkt-Verarbeitung und Ausgabe. Um eine hohe Datenrate zu erreichen, sollten die Koeffizienten und Abtastwerte in zwei RAM abgespeichert werden. Dieser Hardware-Faltungsrechner hat nach folgender Formel die gefilterten Signalwerte Z zu berechnen:

$$Z_i = \sum_{k=0}^{N-1} X_k \cdot Y_{i-k} \quad i = N-1, N, \dots, M-1$$

Die Abtastwerte eines Kanals der zu filternden Audio-Daten sind mit  $Y_0, Y_1, Y_2, \dots, Y_{M-1}$  bezeichnet. M gibt die Anzahl der Abtastwerte an und kann bis zu  $7 \cdot 10^6$  betragen. (Inhalt einer halben Magnetplatte RK 07 eines Stereokanals). Die Werte der Impulsantwort des Filters sind mit  $X_0, X_1, X_2, \dots, X_{N-1}$  bezeichnet. Die Zahl N gibt die Anzahl der Koeffizienten an, die aus Aufwandsgründen höchstens 2048 betragen kann, entsprechend max. 64 msec. Dauer der Impulsantwort.



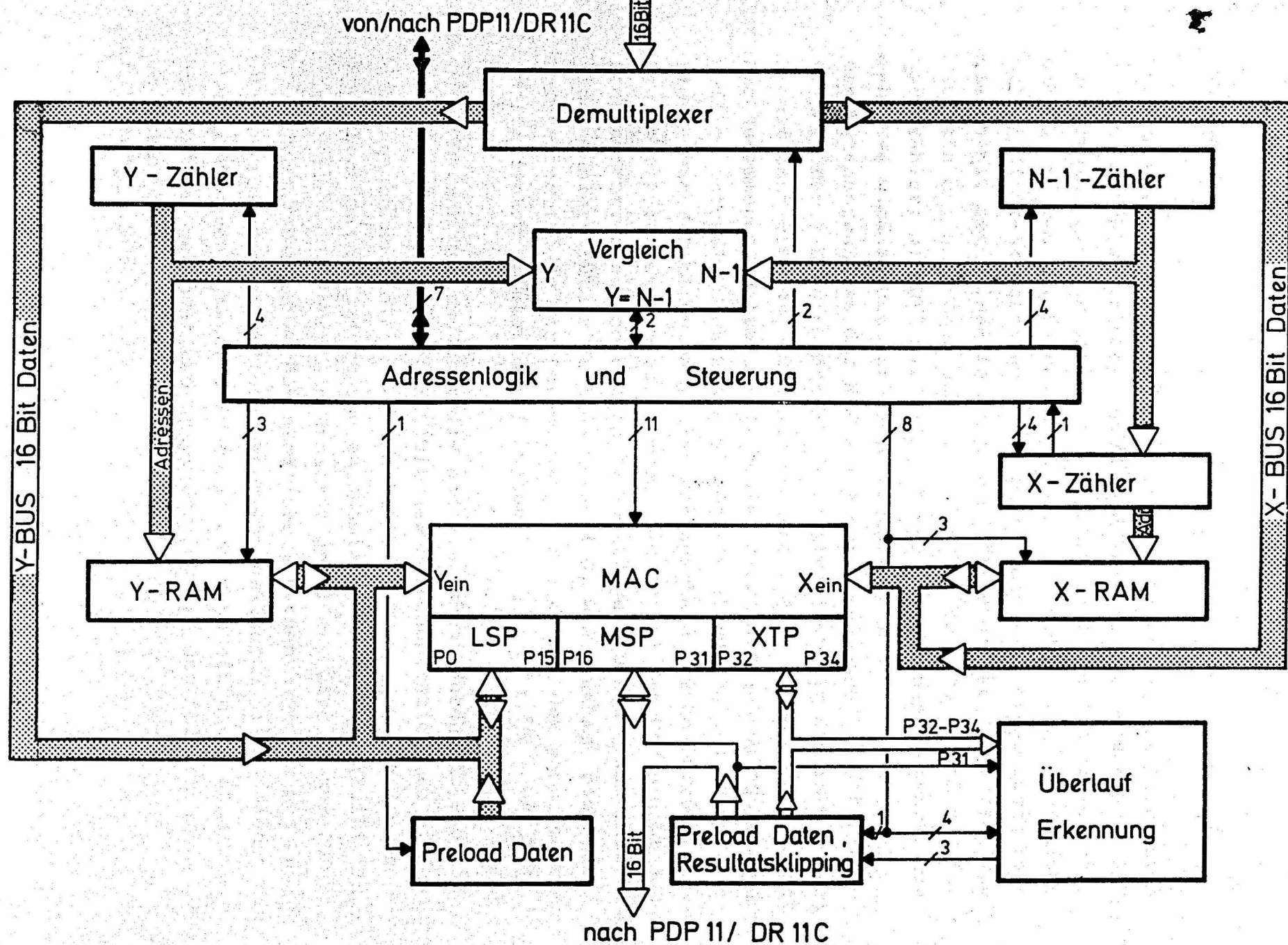
## Realisierung

Die Filterwerte (Koeffizienten) und die Originaldaten (Abtastwerte) werden über das programmgesteuerte Parallel-Input-Output-Interface DR11C /2/ dem Faltungsrechner zugeführt. Sie werden in zwei mit X und Y bezeichnete, 2048 x 16 Bit Speicher (Statische RAM) /3/ geladen. Aus dem RAM werden sie sequentiell gelesen und gelangen zu dem Multiplizier- und Akkumulierbaustein (MAC) TDC 1010J /1/.

Hier wird jeder Abtastwert mit dem zugehörigen Koeffizienten nach der Schieberegistermethode multipliziert und aufsummiert. Das Verschieben geschieht durch Berechnung der RAM-Adressen. Das Resultat  $Z_i$  wird in Form eines 16 Bit Datenwortes über das Interface DR11C zur PDP 11/34 übermittelt (siehe Blockschaltbild).

Durch das externe Speichern der Koeffizienten und Abtastwerte beschränkt sich die Anzahl der Zugriffe auf den Rechner (PDP 11) auf ein Minimum. Denn es wird nach einem Durchlauf stets nur ein Resultat übermittelt und ein neuer Abtastwert (Y-Wert) empfangen. Auf die Weise kann eine hohe Rechengeschwindigkeit des Faltungsrechners erzielt werden. Die Rechengeschwindigkeit ist im Wesentlichen durch die Auswahl der RAM-Bausteine vorgegeben. Es wurden Bausteine mit einer Zugriffszeit von 200 ns ausgewählt. Die Multiplikations-Additionszeit des MAC beträgt ca. 155 ns.

Unter den eingangs genannten Bedingungen wird für eine Filterung mit dem Hardware-Faltungsrechner eine Rechenzeit von ca. 50 Min. benötigt.



Blockschaltbild des Faltungsrechners

## Funktion

Wie aus dem Blockschaltbild hervorgeht, gelangen die Koeffizienten und Abtastwerte über den Datendemultiplexer zu den zwei RAM-Baugruppen. Die Adressierung der RAM wird mit Hilfe dreier Binärzähler, dem X-, Y- und N-1-Zähler vorgenommen. Der X-Zähler bildet die X-Adresse und der Y-Zähler die Y-Adresse. Durch Vergleich mit dem N-1-Zählerstand wird die mögliche Y-Adresse (Vorwärtszähler) nach oben begrenzt. Durch Laden des X-Zählers (Rückwärtszähler) mit N-1 wird die X-Adresse noch oben begrenzt. Die Zahl N-1 wird in der Vorladephase gebildet.

Die Datenanschlüsse der RAM sowie der MAC-Ausgang sind bidirektional. Der Y-Eingang des MAC ist galvanisch mit dem LSP- (Least Significant Product) Ausgang verbunden. Alle Komponenten die via Bus zusammengeschaltet sind, besitzen Tri-State-Ausgänge, die jeweilige Datenflußrichtung wird von der Steuerung festgelegt.

Die X- und Y-RAM werden in der Vorladephase mit Koeffizienten bzw. mit Abtastwerten vorgeladen. Die Anzahl der Werte gibt das Programm an, sie kann bis zu 2048 betragen. Durch Inkrementieren eines Zählers in der Vorladephase wird, wie erwähnt, die Zahl N-1 gebildet, die der Adressenlogik die Anzahl der gespeicherten Koeffizienten (Filterlänge) angibt.

Durch Setzen zweier Kontroll- und Statusbits durch das Programm, beginnt der Faltungsrechner mit der Rechenoperation. Es wird nach der angegebenen Formel der Inhalt des X-Speichers mit dem des Y-Speichers multipliziert und aufsummiert. Ist nach N- Multiplikationen und Additionen ein Resultat gebildet, wird es zur PDP 11 übertragen. Danach werden sämtliche internen Register des MAC durch Anlegen von "Null-Datenworten" gelöscht. Hierzu dienen die "Preload Datenregister". Anschließend wird ein neuer Abtastwert vom Rechner gesendet und unter der Adresse des "ältesten" im Y-Speicher stehenden Wertes geladen.

Der MAC hat ein Ausgangsformat von 35 Bit. Die 16 Bit des LSP-Registers (Least Significant Product) werden nach dem Runden abgeschnitten. Die 16 Bit des MSP-Registers (Most Significant Product) führen zum Rechner.

Die 3 Bit des XTP-Registers (Extended Product) dienen als Additionshilfsregister. Sie führen zusammen mit dem obersten Bit des MSP-Registers zu einer Überlauferkennung.

Bei einem erkannten Überlauf wird statt des errechneten, aber mit 16 Bit nicht darstellbaren Resultats ein vorzeichenrichtig "geklipptes" Datenwort zum Rechner übertragen. Dieses Datenwort wird ebenfalls (wie das "Null-Datenwort") durch eines der "Preload-Datenregister" bereitgestellt.

Die Daten werden im 2er-Komplement verarbeitet.

Der Faltungsrechner arbeitet mit einem Systemtakt von 5 MHz.



## Ablauf

Die sogenannte Arbeitsphase des Faltungsrechners beginnt nach dem Vorladen der X- und Y-RAM durch das Setzen der programmgesteuerten Funktion "GO". Die Arbeitsphase setzt sich aus dem Multiplikations- und Akkumulationszyklus (MAC-Zyklus), währenddessen ein Resultat gebildet wird, und dem Eingang/Ausgangs-Zyklus (I/O Zyklus) währenddessen ein Resultat zum Rechner übertragen und ein neuer Y-Wert empfangen wird, zusammen. Pro MAC-Zyklus wird der X-Zähler stets einen Takt länger stillgesetzt als der Y-Zähler. Die folgende Skizze zeigt den Ablauf der Adressierung an einem Beispiel für  $N = 4$  ( $N-1 = 3$ ).

	1.Durchlauf	I/O	2.Durchlauf	I/O	3.Durchlauf	I/O	4.Durchlauf	I/O	5.Durchlauf	I/O
X Inhalt	$X_3 \ X_2 \ X_1 \ X_0$		$X_3 \ X_2 \ X_1 \ X_0$		$X_3 \ X_2 \ X_1 \ X_0$		$X_3 \ X_2 \ X_1 \ X_0$		$X_3 \ X_2 \ X_1 \ X_0$	
X Adresse	3 2 1 0		3 2 1 0		3 2 1 0		3 2 1 0		3 2 1 0	
Y Adresse	0 1 2 3		1 2 3 0		2 3 0 1		3 0 1 2		0 1 2 3	
Y Inhalt	$Y_0 \ Y_1 \ Y_2 \ (Y_3)$		$Y_1 \ Y_2 \ Y_3 \ (Y_4)$		$Y_2 \ Y_3 \ Y_4 \ (Y_5)$		$Y_3 \ Y_4 \ Y_5 \ (Y_6)$		$Y_4 \ Y_5 \ Y_6 \ (Y_7)$	
Resultat	$Z_3$		$Z_4$		$Z_5$		$Z_6$		$Z_7$	
neuer Y-Wert unter Y Adresse		$Y_4$		$Y_5$		$Y_6$		$Y_7$		
		0		1		2		3		

$\xrightarrow{t}$

Vor Beginn des ersten MAC-Zyklus wurden die X- und Y-RAM mit je 4 Werten geladen. Der N-1 Zähler steht auf 3. Nach Setzen der Funktion "GO" wird die erste Multiplikation durchgeführt. Es wird der Inhalt der Zelle 3 des X-RAM mit dem Inhalt der Zelle 0 des Y-RAM multipliziert und anschließend der Inhalt des MAC-internen Saldierregisters (im ersten Rechenschritt Null) aufsummiert. Nach vier Multiplikationen und Additionen hat der X-Zähler rückwärtszählend Null erreicht (1. Durchlauf beendet) und löst dadurch einen I/O Zyklus aus.

In dem 1. I/O Zyklus wird  $Z_3$  übertragen und  $Y_4$  empfangen und unter der Adresse 0 abgelegt. Der neue Abtastwert wird stets über der Y-Adresse abgelegt, die gerade ansteht, wenn der X-Zähler Null erreicht hat.

Im 2. MAC-Zyklus beginnt die Multiplikation des Inhalts der Zelle 3(X) mit dem Inhalt der Zelle 1(Y). Der Inhalt der Zelle 0(Y) ist im I/O-Zyklus überschrieben worden.

Dieser Vorgang setzt sich fort, bis alle Abtastwerte gefiltert worden sind.

### Vorladen des X- und Y-Speichers

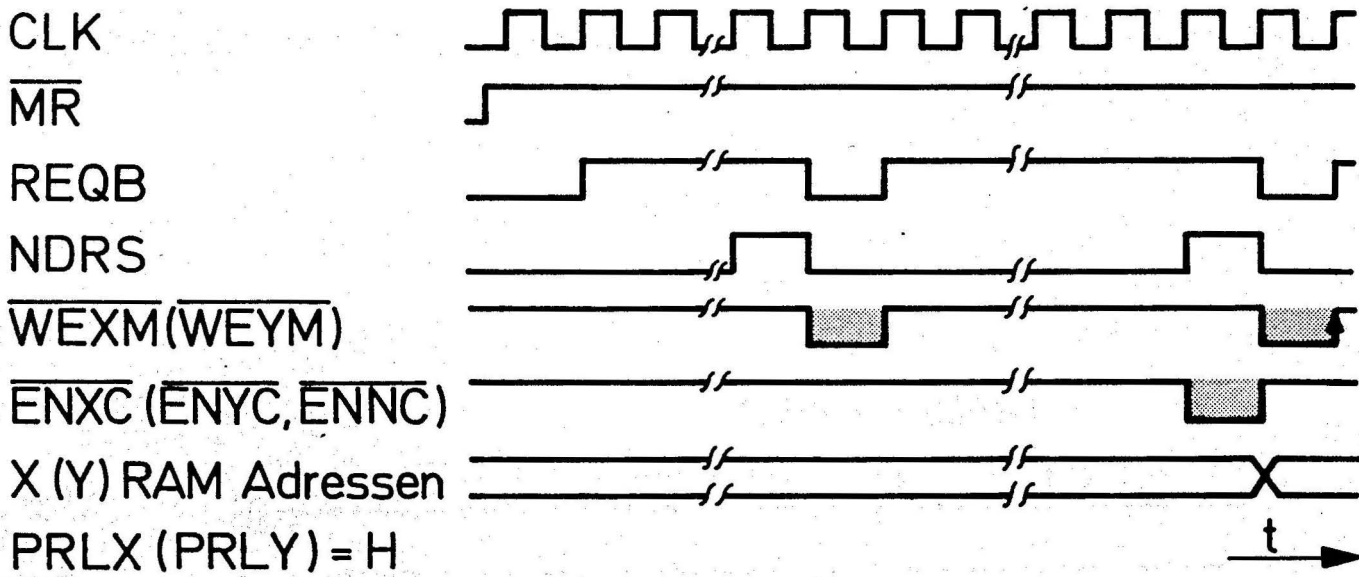
Das Vorladen ist durch Setzen der Control- und Statusbits CSR0 und CSR1 definiert.

PRL X = CSR0=L, CSR1=H  
(PRL Y = CSR0=L, CSR1=L)

Ist PRL X (Y)=H, so wird zunächst der Datenweg freigeschaltet. D.h. der dem adressierten RAM zugeordnete Datendemultiplexerausgang wird freigeschaltet und die bidirektionalen Datenanschlüsse der RAM werden als Dateneingänge aufgefaßt.

Durch Setzen von REQBPR fordert der Faltungsrechner den Prozeßrechner auf, Preload-Daten zu senden. Der Prozeßrechner reagiert, indem er die Daten bereitstellt und dieses durch Senden von NEW DATA READY (NDR) signalisiert. Daraufhin löscht der Faltungsrechner seine Anforderung, um sie erneut zu setzen, wenn er bereit ist, ein weiteres Datenwort aufzunehmen (siehe Impulsdiagramm).

Zum Laden der X- und Y-RAMs wird, nachdem eine gültige Adresse anliegt, der RAM-Einschreibepuls  $\overline{\text{WEXM}}$  ( $\overline{\text{WEYM}}$ ) generiert. Beim Laden des jeweils ersten X-oder Y-Wertes wird  $\overline{\text{WEXM}}$  ( $\overline{\text{WEYM}}$ ) generiert, ohne daß vorher die Adressenzähler inkrementiert wurden, weil die Adresse 0 nach dem  $\overline{\text{MR}}$  bereits ansteht (siehe Impulsdiagramm).

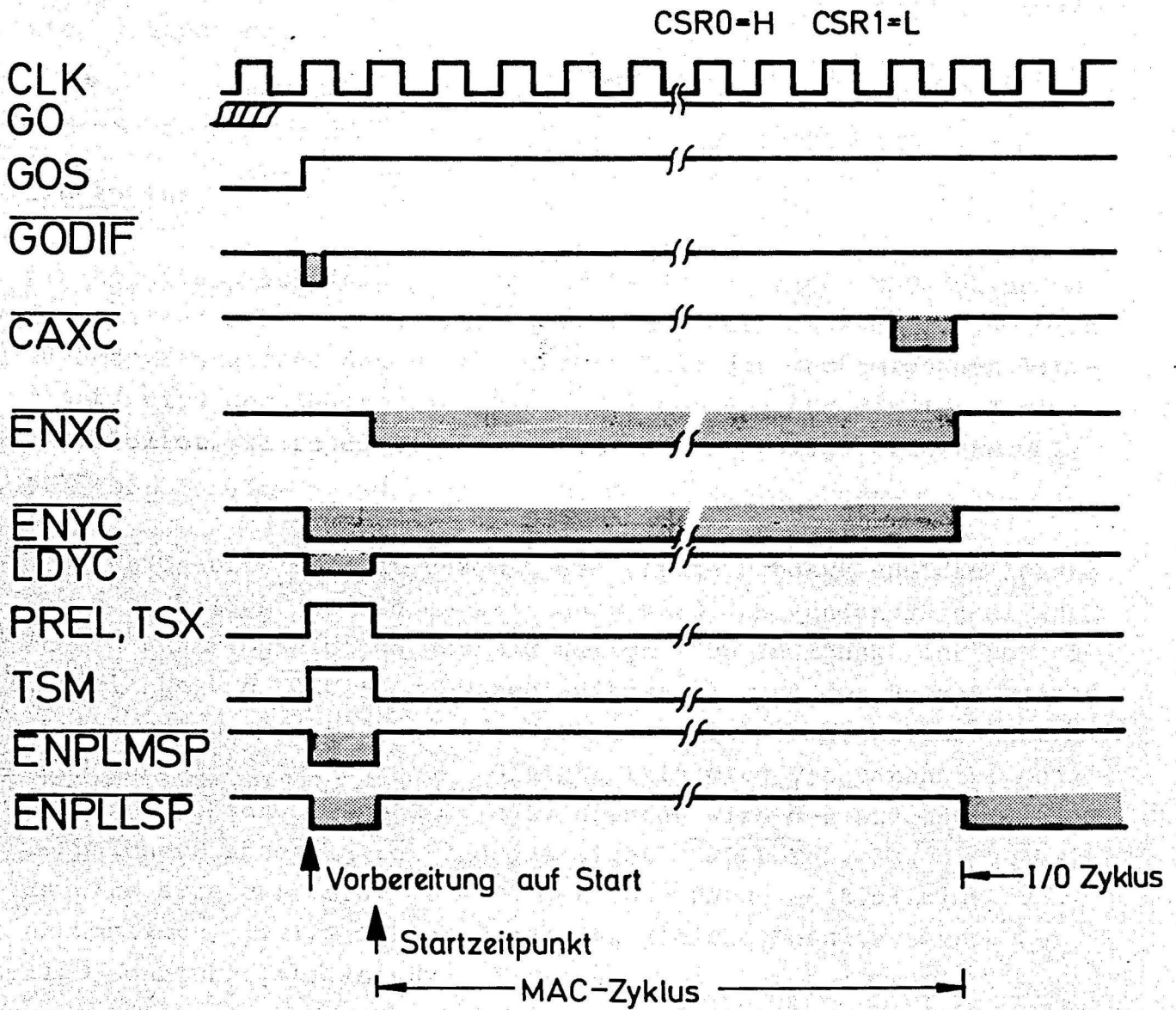


### Impulsdiagramm: Vorladen des X(Y) RAM's

Wie beschrieben, werden mit dem Vorladen der RAMs die Adressen-zähler vor jedem Einschreiben eines neuen Datenwortes (mit Aus-nahme des Ersten) inkrementiert. Es wird in der Vorladephase der N-1 Zähler gemeinsam mit dem Y-Zähler inkrementiert. Auf diese Weise wird die für den Arbeitsbetrieb nötige Zahl N-1 gebildet.



Start nach Vorladen des X- und Y-Speichers



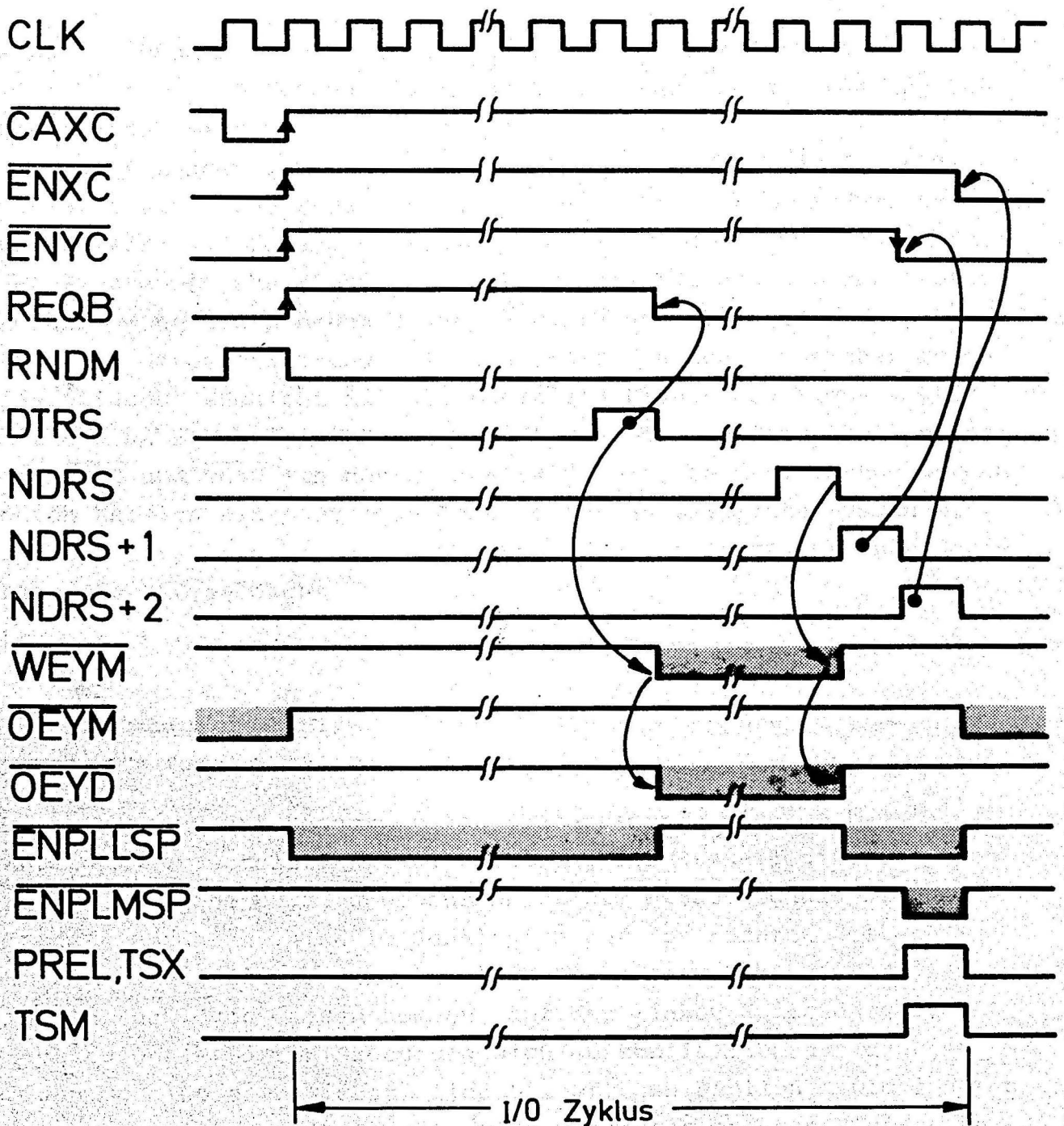
Impulsdiagramm: Start nach Vorladen

Das Impulsdiagramm zeigt, daß nach Auftreten des Startsignals GODIF der Y-Zähler einen Takt früher startet als der X-Zähler. Das geschieht, weil nach der Vorladephase der Y-Zähler auf N-1 steht, die erste Multiplikation dagegen bei der Y-Adresse Null und bei der X-Adresse N-1 zu erfolgen hat. Dieser "Taktvorsprung" dient also dem Laden des Y-Zählers mit Null. Zum Startzeitpunkt wird für einen Takt ein "Preload" des MAC mit den Datenworten Null durchgeführt, was einem Nullsetzen sämtlicher interner Register gleichkommt.

### I/O-Zyklus

Wie bereits beschrieben, zählt der X-Zähler in dem MAC-Zyklus vom Zählerstand N-1 an rückwärts. Ist er bei Null angekommen, so wird am Übertragaussgang das Signal  $\overline{\text{CAXC}}=\text{L}$ . Mit der nachfolgenden Taktflanke wird der Zähler wieder auf N-1 geladen und der I/O-Zyklus eingeleitet, währenddessen sind die Zähler stillgesetzt ( $\text{ENXC}=\text{L}$ ,  $\text{ENYC}=\text{L}$ ).

Wenn  $\overline{\text{CAXC}}$  auftritt, hat der MAC das letzte Produkt und die letzte Summe zu bilden. Zu diesem Zeitpunkt wird das Rundungssignal RNDM an den Funktionseingang des MAC gelegt. Zum Zeitpunkt der positiven Flanke von  $\overline{\text{CAXC}}$  (siehe Impulsdiagramm) wird der Prozeßrechner durch Senden von REQB aufgefordert, das einen Takt später auftretende Resultat aufzunehmen. Gleichzeitig wird das Datenwort Null an den Y-Eingang des MAC gelegt. Hierfür wird der Ausgang des Y-Speichers abgeschaltet und das Signal  $\overline{\text{ENPLLSP}}=\text{L}$ . Auf diese Weise wird erreicht, daß der MAC, der ohne Pause multipliziert und akkumuliert, im I/O-Zyklus immer das gleiche Resultat errechnet, also scheinbar stillsteht.



Impulsdiagramm des I/O Zyklus

Wenn der Rechner (PDP 11) das Resultat ( $Z_i$ ) geladen hat, schickt er das Quittungssignal DTRS, mit dem die Anforderung zurückgezogen wird.

Mit dem Erkennen von DTRS wird der Faltungsrechner in die Lage versetzt ein neues Y-Datenwort in den Y-Speicher zu laden. Zunächst wird der Datenbus "freigeschaltet" und die übrigen Sender des Y-Buses (siehe Blockschaltbild) abgeschaltet. Hat der Prozeßrechner dann einen neuen Y-Wert bereitgestellt, wird dieser am Ende des datenbegleitenden Taktes (NDRS) in den Y-Speicher geladen. Dieses geschieht mit der positiven Flanke des Signals WEYM. Mit dem um 2 Takte verzögerten NDRS-Signal wird durch "L"-setzen von ENXC und ENYC ein neuer MAC-Zyklus eingeleitet. Vorher werden durch Anlegen eines Preload-Datenwortes an sämtliche Ausgänge, die als Dateneingänge geschaltet wurden, sämtliche internen Register des MAC gelöscht.

### Steuerung

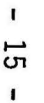
Die Benennung und Bedeutung der Steuersignale wird später in Kurzform dargestellt. Die Beschreibung der Steuerlogik soll sich auf wesentliche Details beschränken. Die Steuersignale die zum Interface führen, sind im Schaltplan auf der rechten Seite, die Steuersignale die zu den einzelnen Einheiten (Zähler, RAM, usw.) führen, bzw. von diesen kommen, auf der linken Seite dargestellt. Steuersignale, deren Bedeutung sich ausschließlich auf den jeweiligen Schaltplan beziehen, sind mit offenen Pfeilen, solche deren Bedeutung darüber hinausgeht, sind mit geschlossenen Pfeilen versehen. Durch Dekodierung der zwei programmgesteuerten Kontroll- und Statussignale CSRO und CSRI werden die vier Funktionssignale PRELY, PRELX, GO und Master Reset (MR) abgeleitet.

Das INIT-Signal wird mit dem MR "geodert". Es ist INIT=H bei Einschalten des Rechners, bei Konsolenstart oder bei Fehler der Versorgungsspannung.

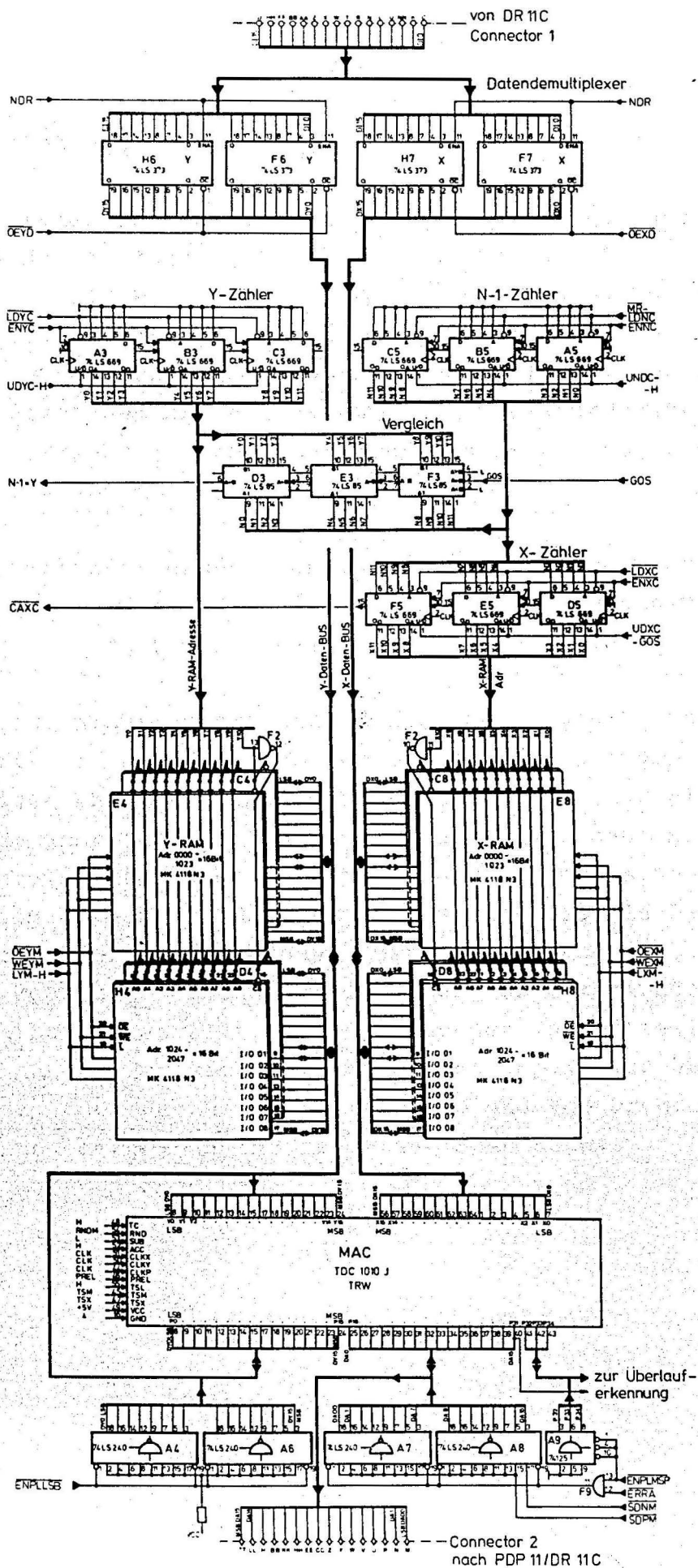


Die Filterlänge im Faltungsrechner ist programmierbar, sie beträgt bis zu 2048 Koeffizienten. Darum sind die in ihrer Zählrichtung gegenläufigen X- und Y-Zähler programmierbar. Durch das Mitzählen der Anzahl der in der Vorladephase vom Rechner gesendeten Y-Werte wird eine Zahl  $N-1$  gebildet. In dem MAC-Zyklus wird ein ständiger Vergleich zwischen dem aktuellen Y-Zählerstand und  $N-1$  durchgeführt. Der Y-Zähler ist ein modulo  $N$ -Vorwärts- der X-Zähler ein modulo  $N$ -Rückwärtszähler.

Wie das Impulsdiagramm zeigt, leitet das Signal  $\overline{\text{CAXC}}$  (Carry X-Zähler) den I/O-Zyklus ein. Es wird invertiert dem JK-FF /B2 zugeführt wo es einen Takt später ein Stillsetzen der X- und Y-Zähler bewirkt. Bevor die Signale  $\overline{\text{ENXC}}$  und  $\overline{\text{ENYC}}$  die Zähler stillsetzen wird der X-Zähler durch das Signal  $\overline{\text{LDXC}}$  mit dem Inhalt des  $N-1$  Zählers vorgeladen. Der Y-Zähler zeigt nach dem Stillsetzen die Adresse des am Ende des I/O-Zyklus gesendeten Abtastwertes. Mit Hilfe der FF/A2 werden die Signale DTR und NDR synchronisiert und auf Zykluszeit gebracht (200 ns). Die FF/D2 dienen der Anforderung von Daten im I/O-Zyklus durch Setzen von REQBG0 und in der Vorladephase durch Setzen von REQBPR. Durch die FF/H9 und NAND-Gatter H1 werden in der Vorladephase die jeweils zuerst auftretenden NDRS Impulse unterdrückt, damit die ersten Datenworte unter der Adresse 0 in den X- bzw. Y-Speicher geschrieben werden.



## Steuerung des Faltungsrechners



### Überlauferkennung

Der im Faltungsrechner eingesetzte Multipliziererbaustein hat drei Ausgangsregister (siehe Blockschaltbild). Der Inhalt des LSP- und des XTP-Registers werden im Unterschied zum Inhalt des MSP-Registers nicht zur PDP 11 übertragen. Die 16 Bit des LSP-Registers werden nach der Rundung abgeschnitten. Das 3 Bit-XTP-Register dient dem MAC als Akkumulations-Hilfsregister. Die oberen 4 Bit (P31-P34) werden zur Erkennung eines möglichen Überlaufes herangezogen.

Bei der Überlauferkennung muß zwischen einem Übertrag aus dem MSP-Register in das XTP-Register (Fehler A) und einem Überlauf des XTP-Registers (Fehler B), unterschieden werden.

Ersteres hat nicht automatisch einen Fehler des Endresultats zur Folge, weil der nachfolgende Rechenschritt das Ergebnis wieder in den gültigen Bereich bringen kann. Handelt es sich allerdings um ein zum Rechner zu übertragendes Endergebnis (nach N Rechenschritten), so stellt dieser Übertrag sehr wohl einen Fehler dar. Das richtig errechnete Resultat umfaßt mehr als 16 Bit und kann daher nicht übertragen werden. Anstelle dessen wird, vom Vorzeichen des Resultats abhängig, die größte bzw. kleinste darstellbare Zahl bereitgestellt, und dem Rechner übermittelt. Bei dem Fehler B handelt es sich um einen nicht reparablen Überlauf, der wie Fehler A dem Rechner gemeldet wird und vom Programm abgefragt werden kann oder einen Interrupt auslösen kann.



# Erkennen eines Überlaufs aus dem MSP-Register

## Fehlerfall A

	P34	P33	P32	P31	P30	P29	.....	P2	P1	P0	
a)	0	0	0	1	0	0	.....	0	0	0	- Fehler
b)	0	0	0	0	1	1	.....	1	1	1	- größte Zahl in 32 bit
	⋮					⋮		⋮		⋮	
	0	0	0	0	0	0	.....	0	0	1	+1
	0	0	0	0	0	0	.....	0	0	0	0
	1	1	1	1	1	1	.....	1	1	0	-1
	⋮					⋮		⋮		⋮	
c)	1	1	1	1	0	0	.....	0	0	0	- kleinste Zahl in 32 bit
d)	1	1	1	0	1	1	.....	1	1	1	- Fehler

Die Zeilen b) und c) zeigen in der 2-Komplementdarstellung die größte bzw. die kleinste darstellbare Zahl. Wird beim Saldieren der zulässige Zahlenbereich überschritten (Zeile a und d), muß dieses eine Fehlermeldung an den Rechner zur Folge haben. Erkennt wird dieser Fehler durch Prüfen auf "Gleichheit" der oberen 4 Bit (P34 - P31). Auftreten einer Ungleichheit bedeutet Übertrag in das XTP-Register. Zusätzlich wird geprüft, ob P34 im Überlauffall 0 oder 1 ist. Wenn P34 = 0, liegt ein positiver Überlauf vor und es wird die größte darstellbare positive Zahl vom Rechner übertragen. Ist P34 = 1 liegt ein negativer Überlauf vor und entsprechend wird die kleinste Zahl zum Rechner übertragen.

### Erkennen von Fehler A

Es werden P34 - P31 nach Taktsynchronisation durch das sechsfach D-Flip-Flop (74LS174) vierfach , entsprechend der Wahrheitstabelle verknüpft.

Bei Ungleichheit steht eine 1 am D-Eingang des FF F10. Der Übertragungszeitpunkt des Resultats zum Rechner ist durch REQB bestimmt. Mit diesem um 2 Takte verschobenen Signal (REQB+2) wird die am D-Eingang stehende Information in das FF geladen, und damit eine Fehlermeldung ERRA generiert. Mit Hilfe dieses Signals und dem Zustand des P34 wird das zum Rechner zu übertragende Datenwort umkodiert und gleichzeitig ein REQA gesendet. Das FF wird am Ende des I/O Zyklus, durch MR oder durch Auftreten des ERB gelöscht.

P34	P33	P32	P31	D-Eingang des FF	Bemerkung
0	0	0	0	0	kein Überlauf
0	0	0	1	1	Überlauf
.	.	.	.	.	.
.	.	.	.	.	.
.	.	.	.	.	.
1	1	1	0	1	.
1	1	1	1	0	kein Überlauf

# Erkennen eines Überlaufs aus dem XTP-Register

## Fehlerfall B

	P34	P33	P32	P31	P30	P29	.....	P2	P1	P0	
a)	1	0	0	0	0	0	.....	0	0	0	- Fehler
b)	0	1	1	1	1	1	.....	1	1	1	- größte Zahl in 35 bit
	⋮					⋮		⋮		⋮	
	0	0	0	0	0	0	.....	0	0	1	+1
e)	0	0	0	0	0	0	.....	0	0	0	0
f)	1	1	1	1	1	1	.....	1	1	1	-1
	⋮					⋮		⋮		⋮	
c)	1	0	0	0	0	0	.....	0	0	0	- kleinste Zahl in 35 bit
d)	0	1	1	1	1	1	.....	1	1	1	- Fehler

Die Zeilen b) und c) zeigen in der 2-Komplementdarstellung die größte bzw. die kleinste darstellbare Zahl unter Berücksichtigung des XTP-Registers. Ein Überschreiten dieser Zahlen ist durch den Wechsel der beiden oberen Bit gekennzeichnet. Das Erkennen eines solchen Bitwechsels hat eine Fehlermeldung an den Rechner zur Folge. Dagegen darf ein gemeinsames Wechseln von P34 bis P33 (siehe Zeile e) und f) nicht zu einer Fehlermeldung führen. Die Fehlermeldung erfolgt durch Setzen von REQA.

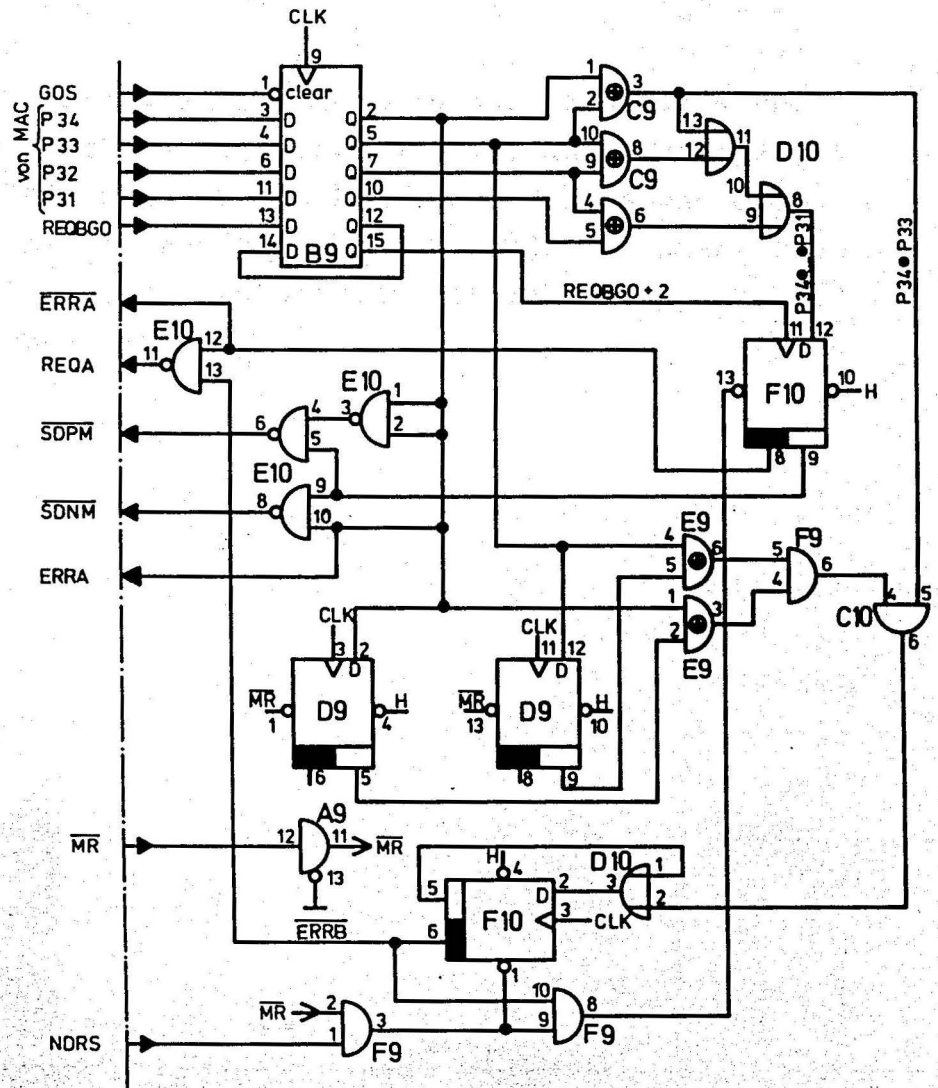
### Erkennen von Fehler B

Wie beschrieben wird der Fehler B durch Wechsel der beiden oberen Bit (P34 und P33) erkannt. Nach der Taktsynchronisation durch das sechsfach D-FF werden diese Bit durch je ein 1 Bit Schieberegister geschoben und durch Antivalenzverknüpfung der Ein- und Ausgänge ein im Fehlerfall doppelter Bitwechsel festgestellt. Wenn ein "ungleicher" Doppelwechsel der Bit (siehe Wahrheitstabelle) erkannt wird, führt das zum Setzen eines D-FF, dessen Ausgang das Signal ERRB meldet. Damit nicht ein "gleicher" Wechsel beider Bit zur Fehlermeldung führt kann der Ausgang des D-FF nur dann H werden, wenn  $P34 \neq P33$

Die Fehlermeldung ERRB wird am Ende des I/O-Zyklus oder durch MR gelöscht.

P34	P34	P33	P33	P34+P33	ERRB	Bemerkung
0	0	0	0	0	1	gleicher Doppelwechsel, kein Fehler
1	0	0	0	0	1	Einzelwechsel, kein Fehler
0	1	0	0	0	1	Einzelwechsel, kein Fehler
0	0	1	0	0	1	Einzelwechsel, kein Fehler
0	0	0	1	0	1	Einzelwechsel, kein Fehler
.	.	.	.	.	.	.
.	.	.	.	.	.	.
.	.	.	.	.	.	.
1	0	1	0	0	1	gleicher Doppelwechsel, kein Fehler
1	0	0	1	1	0	ungleicher Doppelwechsel, Fehler
0	1	1	0	1	0	ungleicher Doppelwechsel, Fehler
1	1	1	1	0	1	gleicher Doppelwechsel, kein Fehler





Überlauferkennung

## Aufbau

Die Schaltung des Faltungsrechners wurde auf einem Wire-Wrap-Board /4/ aufgebaut. Dieses Modul (MDB-11 WWB) ist über zwei 40-adrige Flachbandkabel mit dem Parallel-Input-Output-Interface DR11C verbunden. Beide Module stecken in dem BuS der PDP 11/34, über den der Faltungsrechner lediglich spannungsversorgt wird. Das MDB-11 WWB mußte leicht modifiziert werden, damit der 64polige MAC und die acht 20ig poligen TTL Bausteine /5/, sowie die acht 24 poligen RAM-Bausteine untergebracht werden konnten. Die Stromaufnahme beträgt nach ca. 10 Minuten Betrieb 1,4 A bei einer Versorgungsspannung von 5 V.

Bestückungsplan

	A	B	C	D	E	F	H
10	-	'221	'08	'32	'00	'74	'124
9	SN74125	'174	'86	'74	'86	'08	'74
8	'240	4118N3		4118N3		4118N3	4118N3
7	'240					'373	'373
6	'240		TDC 1010J			'373	'373
5	'669	'669	'669	'669	'669	'669	SN74128
4	'240	4118N3		4118N3		4118N3	4118N3
3	'699	'699	'699	'85	'85	'85	'08
2	'74	'109	'109	'109	'32	'04	'04
1	'00	'08	'08	'74	'08	'74	'74

'ist zu lesen als SN74LS...

Steckerbelegungsplan

Connector Nr. 1

Symbol in den Schaltplänen: o

NAME	PIN	NAME	PIN
-	A	GND	Y
-	B	DI10	Z
DI00	C	DI11	AA
-	S	DI12	BB
-	E	GND	CC
-	F	CSR1	DD
-	H	GND	EE
GND	J	DI13	FF
DIO1	K	DI14	HH
DI04	L	DI15	JJ
GND	M	GND	KK
DIO3	N	REQA	LL
INIT	P	GND	MM
DIOG	R	DIO2	NN
GND	S	GND	PP
DIO7	T	-	RR
DIO3	U	GND	SS
GND	V	-	TT
DIO8	W	GND	UU
DIO9	X	NDR	VV



Steckerbelegungsplan

Connector Nr. 2

Symbol in den Schaltplänen: ◇

NAME	PIN	NAME	PIN
-	A	DAO9	Y
-	B	DA08	Z
DTR	C	GND	AA
-	D	DAA03	BB
-	E	DA07	CC
-	F	GND	DD
DAO2	H	DA06	EE
GND	J	-	FF
CSRO	K	DA05	HH
GND	L	GND	JJ
DA15	M	DA04	KK
DA14	N	DA01	LL
DA13	P	GND	MM
GND	R	-	NN
REQB	S	GND	PP
GND	T	-	RR
DA12	U	GND	SS
DA11	V	DA00	TT
DA10	W	GND	UU
GND	X	-	VV

Benennung der Steuersignale

<u>Signal</u>	<u>Benennung</u>	<u>Bedeutung</u>															
ACC	ACCUMULATION CONTROL-MAC	Stets H. D.h. der MAC addiert stets															
<u>CAXC</u>	CARRY-X-ZÄHLER	Wird L, wenn X-Zähler einen Null- durchgang hat. Leitet I/O-Zyklus ein															
CLK	CLOCK	Systemtaktsignal (5 MHz)															
CSRO, CSRI	COMMAND UND STATUS REGISTER-DR 11 C	Diese Signale werden vom Pro- gramm gesteuert und dienen zur Funktionsfestlegung. Sie sind wie folgt definiert: <table> <tr> <th>CSRI</th><th>CSRO</th><th>Funktion</th></tr> <tr> <td>L</td><td>L</td><td>PRLY (Y-Vorladen)</td></tr> <tr> <td>L</td><td>H</td><td>GO (Arbeitsphase)</td></tr> <tr> <td>H</td><td>L</td><td>PRLX (X-Vorladen)</td></tr> <tr> <td>H</td><td>H</td><td>MR (Master Reset)</td></tr> </table>	CSRI	CSRO	Funktion	L	L	PRLY (Y-Vorladen)	L	H	GO (Arbeitsphase)	H	L	PRLX (X-Vorladen)	H	H	MR (Master Reset)
CSRI	CSRO	Funktion															
L	L	PRLY (Y-Vorladen)															
L	H	GO (Arbeitsphase)															
H	L	PRLX (X-Vorladen)															
H	H	MR (Master Reset)															
DTR	DATA TRANSMITTED	Wird vom Interface DR 11 C gesen- det, meldet dem Faltungsrechner, daß ein zur Verfügung gestelltes Resultat empfangen worden ist.															
DTRS	DATA TRANSMITTED SYNCHRONIZED	DTR-Taktsynchronisiert															
<u>ENNC</u>	ENABLE (N-1)-ZÄHLER	Wird in der Y-Vorladephase mit jedem NDRS L.															
<u>ENPLLSP</u>	ENABLE-PRELOAD-LSP	Immer dann L, wenn Y-Eingang und das LSP Register und das Saldier- register des MAC mit Preload-Da- ten belegt werden sollen.															
<u>ENPLMSP</u>	ENABLE-PRELOAD-MSP	Immer dann L, wenn das MSP Regi- ster bzw. Saldierregister des MAC mit Preload Daten belegt werden soll.															
<u>ENXC</u>	ENABLE-X-ZÄHLER	Wird in der X-Vorladephase (CSRO = 0, CSRI = 1) mit jedem NDRS L. Wird H, wenn der X-Zähler durch Null gegangen ist und bleibt H bis NDRS+2 (2 Takte verschobener NDRS).															
<u>ENYC</u>	ENABLE-Y-ADRESSEN- ZÄHLER	Wird in der Y-Vorladephase mit jedem "NDRS" (NEW DATA READY) L. Blockiert den Y-Zähler, wenn der X-Zähler durch Null gegangen ist (CAXC).															

<u>Signal</u>	<u>Benennung</u>	<u>Bedeutung</u>
<u>ERRA</u>	ERROR - A	Wird L, wenn ein Überlauf des MSP-Registers in das XTP-Register erkannt wird. Hat REQA zur Folge.
<u>ERRB</u>	ERROR - B	Wird L, wenn ein Überlauf aus dem XTP-Register erkannt wird. Hat REQA zur Folge.
GO		Wird und bleibt in der Arbeitsphase H. Durch Setzen der Statussignale CSRO = 1, CSRI = 0
GOS		Taktsynchronisiertes GO Signal
GODIF		Differenziertes GOS Signal
INIT	INITIALIZE - DR 11 C	Wird vom DR 11 C gesendet. Es ist INIT = H u.a. beim Einschalten des Rechners oder bei fehlerhafter Versorgungsspannung.
<u>LDNC</u>	LOAD (N-1)-ZÄHLER	Wird L mit <u>MR</u> (MASTER RESET).
<u>LDXC</u>	LOAD X-ZÄHLER	Wird L mit <u>MR</u> (MASTER RESET) oder mit <u>CAXC</u> . (Bei jedem Nulldurchgang des X-Zählers)
<u>LDYC</u>	LOAD Y-ADRESSEN-ZÄHLER	Wird L (wahr) mit <u>MR</u> (MASTER RESET) oder mit "YC = N-1". Kann nicht L werden, solange der Y-Zähler abgeschaltet ist.
<u>LXM</u>	LOAD X-SPEICHER	Stets H.
<u>LYM</u>	LOAD Y-SPEICHER	Stets H.
<u>MR</u>	MASTER RESET	Setzt Flipflop in definierte Anfangszustände. Wird durch L Setzen der Statussignale CSRO = H, CSRI = H.

<u>Signal</u>	<u>Benennung</u>	<u>Bedeutung</u>
NDR	NEW DATA READY-DR 11 C	Wird vom DR 11 C gesendet. Meldet dem Faltungsrechner, daß ein Datenwort zur Übernahme bereit steht.
NDRS	NEW DATA READY SYNCHRONIZED	NDR-Taktsynchronisiert
NDRS+1 NDRS+2	NEW DATA READY SYNCHRONIZED	NDRS-Taktverschoben
N-1=YC	N-1-ZÄHLERSTAND = Y-ZÄHLERAUSGANG	Dieses Signal wird immer dann H, wenn der Y-Zähler den Stand des N-1-Zählers erreicht hat.
$\overline{\text{OEXD}}$	OUTPUT ENABLE-X- DATENDEMULTIPLEXER	Immer dann L, wenn Rechnerdaten zu dem X-Speicher geleitet werden sollen. In der X-Vorladephase mit PRLX.
$\overline{\text{OEXM}}$	OUTPUT-ENABLE- X-SPEICHER	In der X-Vorladephase ständig H, d.h. die Ausgänge des X-Speichers sind abgeschaltet. In der Arbeitsphase ständig L.
$\overline{\text{OEYD}}$	OUTPUT-ENABLE-Y- DATENDEMULTIPLEXER	Immer dann L, wenn Rechnerdaten zu dem Y-Speicher geleitet werden sollen. In der Y-Vorladephase (CSRO = L, CSRI = L) mit PRLY. In der Arbeitsphase (CSRO = H, CSRI = L) wird dieses Signal zwischen dem Ende von NDRS L.
$\overline{\text{OEYM}}$	OUTPUT-ENABLE-Y- SPEICHER	Wird L, wenn ein Y-Wert aus dem Y-Speicher gelesen werden soll.
PREL	PRELOAD-CONTROL-MAC	Dieses Signal steuert MAC-interne Empfangspuffer. Es schaltet am Ende eines I/O-Zyklus Preload-Daten zum MAC durch.
PRLX	PRELOAD-X	Wird und bleibt in der X-Vorladephase H. Durch Setzen der Statussignale CSRO = L, CSRI = H
PRLY	PRELOAD-Y	Wird und bleibt in der Y-Vorladephase H. Durch Setzen der Statussignale CSRO = L, CSRI = L
REQA	REQUEST A - DR 11 C	Wird vom Faltungsrechner im Überlauffall an das DR 11 C gesendet. Kann vom Programm abgefragt werden. Bleibt bis zum Ende des jeweiligen "I/O-Zyklus" H.

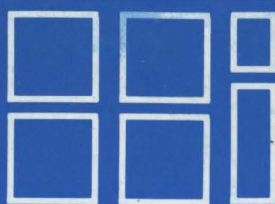


<u>Signal</u>	<u>Benennung</u>	<u>Bedeutung</u>
REQB	REQUEST B - DR 11 C	Meldet dem Rechner, daß ein Datenwort gesendet oder empfangen werden kann.
REQB+2	REQUEST B	REQB-Taktverschoben
RNDM	ROUND-CONTROL-MAC	Immer dann H, wenn der MAC das nächste auftretende Resultat gerundet bereitstellen soll. Mit dem negierten $\overline{CAXC}$ beschaltet.
<u>SDNM</u>	SET DATA NEGATIV MAXIMUM	Mit Hilfe dieses Signals werden die zum Rechner zu übertragenden Daten im negativen Überlauffall auf die kleinstmögliche Zahl umcodiert.
SDPM	SET DATA POSITIV MAXIMUM	Mit Hilfe dieses Signals werden die zum Rechner zu übertragenden Daten im positiven Überlauffall auf die größtmögliche Zahl umcodiert
SUB	SUBTRACTION CONTROL-	Stets L. D.h. der MAC substrahiert nicht.
TC	TWO'S COMPLEMENT	Stets H. D.h. der MAC interpretiert die angelegten Binärdaten als 2-Komplementzahlen.
TSL	TRI STATE LEAST REGISTER CONTROL-MAC	Stets H.
TSM	TRI STATE MOAST REGISTER CONTROL-MAC	Dann H, wenn am Ende eines "I/O-Zyklus" Preload-Daten an den MAC gelegt werden. Dieses Signal steuert MAC-interne Tri-State-Puffer. Im Überlauffall wird TSM H durch Verknüpfung mit ERRB.
TSX	TRI STATE EXTENDED REGISTER CONTROL-MAC	Dieses Signal steuert MAC-interne Tri-State-Puffer. Es wird immer dann H, wenn am Ende eines I/O-Zyklus Preload Daten an den MAC gelegt werden.
EDNC	UP-DOWN-(N-1)-ZÄHLER	Stets H, entsprechend der Zählrichtung Up.

<u>Signal</u>	<u>Benennung</u>	<u>Bedeutung</u>
UDXC	UP-DOWN-X-ZÄHLER	In der X-Vorladephase H = Zählrichtung up, in der Arbeitsphase (GO) L = Zählrichtung down.
UDYC	UP-DOWN-Y-ZÄHLER	Stets H = Zählrichtung UP.
<u>WEXM</u>	WRITE ENABLE-X-SPEICHER	Wird L, wenn X-Daten in den X-Speicher geladen werden sollen. das geschieht mit jedem NDRS (nur in der X-Vorladephase).
<u>WEYM</u>	WRITE ENABLE-Y-SPEICHER	Wird L, wenn Y-Daten in den Y-Speicher geladen werden sollen. In der Y-Vorladephase geschieht dieses mit jedem NDRS. Während des I/O-Zyklus ist das Signal zwischen dem Ende von DTRS und dem Ende von NDRS L.

Literaturverzeichnis

- /1/ LSI Multiplies-Accumulators-Datenblatt, TRW, 1978
- /2/ DR 11 C General Device Interface Manual. Digital Equipment Corp., 1973
- /3/ 1k x 8 Static RAM-Datenblatt. Mostek Corp., 1978
- /4/ Wire Wrap Board-Datenblatt (MDB-11 WWB). MDB, 1979
- /5/ The TTL Data Book. Texas Instruments, 1980.



**Heinrich-Hertz-Institut  
für Nachrichtentechnik  
Berlin GmbH**

